

EuroHPC JU развивает HPC-экосистему на базе RISC-V

В середине декабря 2022 г. опубликована инициатива EuroHPC JU (European High-Performance Computing Joint Undertaking) по обеспечению независимости Евросоюза в области высокопроизводительных вычислений (HPC) на базе архитектуры RISC-V. Подготовлены рекомендации и планы по ее реализации в краткосрочной (2–5 лет), среднесрочной (5–10 лет) и долгосрочной перспективе (> 10 лет).

LUMI – суперкомпьютер № 1 в Европе

Первая полномасштабная суперкомпьютерная конференция после пандемии Covid-19 прошла в Далласе, штат Техас, 13–18 ноября 2022 года (<https://sc22.supercomputing.org/program/>). Конференция собрала около 12 000 участников со всего мира. Консорциум LUMI (Large Unified Modern Infrastructure, <https://www.lumi-supercomputer.eu/about-lumi/>), занимается разработкой одноименного суперкомпьютера, который расположен в центре обработки данных CSC в Каяни (Kajaani), Финляндия) также был среди 361 экспонентов конференции [1].

Во время конференции были обнародованы полугодовые рейтинги Top500 [2], Green500 и списка HPCG, а также список эталонных показателей HPC-MxP. С момента последнего листинга в июне 2022 года установка раздела графического процессора LUMI продвинулась дальше, и LUMI сохранил свою третью позицию в списке Top500 (табл. 1), став самым мощным суперкомпьютером в Европе. LUMI все еще не хватает конечной мощности, и ожидается, что система будет в своем окончательном виде в списке Top500 за июнь 2023 года. Тройка лидеров списка Top500 осталась неизменной по сравнению с июньским списком. Единственным новичком в Top500 стал еще один суперкомпьютер EuroHPC JU под названием Leonardo из Италии, занявший четвертое место.

Табл. 1. Top500, nov. 2022 [2].

Rank	System	Cores	Rmax (PFlop/s)	Rpeak (PFlop/s)	Power (kW)
1	Frontier - HPE Cray EX235a, AMD Optimized 3rd Generation EPYC 64C 2GHz, AMD Instinct MI250X, Slingshot-11, HPE DOE/SC/Oak Ridge National Laboratory United States	8,730,112	1,102.00	1,685.65	21,100
2	Supercomputer Fugaku - Supercomputer Fugaku, A64FX 48C 2.2GHz, Tofu interconnect D, Fujitsu RIKEN Center for Computational Science Japan	7,630,848	442.01	537.21	29,899
3	LUMI - HPE Cray EX235a, AMD Optimized 3rd Generation EPYC 64C 2GHz, AMD Instinct MI250X, Slingshot-11, HPE EuroHPC/CSC Finland	2,220,288	309.10	428.70	6,016
4	Leonardo - BullSequana XH2000, Xeon Platinum 8358 32C 2.6GHz, NVIDIA A100 SXM4 64 GB, Quad-rail NVIDIA HDR100 Infiniband, Atos EuroHPC/CINECA Italy	1,463,616	174.70	255.75	5,610
5	Summit - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband, IBM DOE/SC/Oak Ridge National Laboratory United States	2,414,592	148.60	200.79	10,096
6	Sierra - IBM Power System AC922, IBM POWER9 22C 3.1GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband, IBM / NVIDIA / Mellanox DOE/NNSA/LNL United States	1,572,480	94.64	125.71	7,438
7	Sunway TaihuLight - Sunway MPP, Sunway SW26010 260C 1.45GHz, Sunway, NRCPC National Supercomputing Center in Wuxi China	10,649,600	93.01	125.44	15,371
8	Perlmutter - HPE Cray EX235n, AMD EPYC 7763 64C 2.45GHz, NVIDIA A100 SXM4 40 GB, Slingshot-10, HPE DOE/SC/LBNL/NERSC United States	761,856	70.87	93.75	2,589
9	Selene - NVIDIA DGX A100, AMD EPYC 7742 64C 2.25GHz, NVIDIA A100, Mellanox HDR Infiniband, Nvidia NVIDIA Corporation United States	555,520	63.46	79.22	2,646
10	Tianhe-2A - TH-IVB-FEP Cluster, Intel Xeon E5-2692v2 12C 2.2GHz, TH Express-2, Matrix-2000, NUDT National Super Computer Center in Guangzhou China	4,981,760	61.44	100.68	18,482

В списке HPCG LUMI также остался на третьем месте. Этот список представляет собой альтернативную метрику для оценки производительности суперкомпьютера и предназначен для дополнения измерения HPL, измеряя возможности разреженной линейной алгебры, встречающиеся, например, в вычислительной гидродинамике и многих других областях моделирования.

LUMI впервые был включен в список тестов HPL-MxP, который измеряет производительность при смешанной арифметике с одинарной и двойной точностью при назначении в стиле HPL. Это представляет рабочие нагрузки, сочетающие традиционное моделирование (арифметика с двойной точностью) с методами машинного обучения (арифметика с одинарной точностью). Там LUMI занял второе место с производительностью 2,168 эксафлопс. Эта цифра означает, какая эксафлопная система потребуется для достижения той же производительности HPL в арифметике с плавающей запятой двойной точности.

Большинство изменений было замечено в списке Green500, где LUMI занял 7-е место, поскольку верхние строчки списка заняли системы меньшего размера либо с той же архитектурой узлов, что и в LUMI. Первое место занял небольшой прототип системы, основанный на новом графическом процессоре Nvidia H100. Следует помнить, что энергоэффективность LUMI не ограничивается только отношением Gflops/Watts (51,38 для LUMI, за что LUMI все же получил престижную награду HPCWire Editor's Choice Award за лучшую инновацию в области устойчивого развития HPC); еще более важным, чем производительность на ватт, является то, что LUMI использует для своей работы 100% безуглеродную гидроэнергию. Его отработанное тепло повторно используется для обогрева близлежащих домов в городе Каяани, Финляндия, где находится LUMI.

Европейская инициатива по развитию HPC-экосистемы на базе архитектуры RISC-V

15 декабря 2022 г. было опубликовано [3] рамочное соглашение (Framework Partnership Agreement, FPA) между EuroHPC JU и консорциумом промышленности, исследовательских организаций и учреждений в области высокопроизводительных вычислений для разработки инновационных аппаратных и программных технологий HPC на основе открытой экосистемы ISA (Instruction Set Architecture) RISC-V. Цель данного FPA – обеспечить независимость Европейского союза в области HPC-разработок от проприетарных процессоров/вычислителей, права на которые принадлежат странам, не входящим в Европейский союз. При этом предполагается, что будут разработаны механизмы, гарантирующие, что все IP, созданные в рамках инициативы, останутся в ЕС и не будут переданы третьим странам.

Европейский закон о чипах (European Chips Act) определил RISC-V как одну из технологий следующего поколения, в которую Европа должна инвестировать, чтобы сохранить и укрепить свое лидерство в исследованиях и инновациях, а также в производстве оборудования, способствуя созданию и укреплению собственного потенциала Союза по инновациям в разработке, производстве и упаковке передовых, энергоэффективных и безопасных чипов, и превращать их в производимую продукцию. Это варьируется от микроконтроллеров до высокопроизводительных чипов, необходимых для центров обработки данных и суперкомпьютеров. На раннем этапе развитие технологий должно быть привязано к крупным промышленным сценариям использования, чтобы убедиться, что разработка ориентирована на более широкий европейский рынок и способствует цифровому суверенитету за пределами научных высокопроизводительных вычислений. Эти разработки нацелены не только на государственный рынок суперкомпьютеров, но и на более широкие, отраслевые рынки.

Технология RISC-V является надежной энергоэффективной альтернативой запатентованным решениям для процессоров и ускорителей в вычислительном континууме, которые производятся за пределами ЕС. Видение технологического компонента EuroHPC заключается в разработке европейских критически важных энер-

гоэффективных экзафлопсных и постэкзафлопсных технологий, архитектур и системных технологий и их интеграции в пилотные системы, дополненных развертыванием конкурентоспособных экзафлопсных и постэкзафлопсных суперкомпьютеров мирового класса на основе этих технологий.

Новая инициатива FPA дополняет другие виды деятельности, которые будут осуществляться в рамках KDT/Chips JU (Key Digital Technologies Joint Undertaking, европейский закон о чипах, представленный 8 февраля 2022 г. и предусматривающий государственные и частные инвестиции в объеме 43 млрд евро до 20230 г. [5], <https://www.kdt-ju.europa.eu/>). Ожидается, что KDT/Chips JU будет развивать другие вертикальные сектора, помимо высокопроизводительных чипов, и заниматься горизонтальной основополагающей деятельностью, лежащей в основе развития полной экосистемы RISC-V в Европе. Новые заводы по производству чипов высокой плотности в Европе должны быть в состоянии производить энергоэффективные и технологически продвинутое полупроводники (от 5 до 2 нанометров и ниже). Предполагается, что к 2030 году 20% мирового производства микрочипов должно приходиться на Европу. При этом, как ожидается, мировое производство удвоится, что означает четырехкратное увеличение сегодняшнего европейского производства [6].

Планируется, что реализация анонсированного FPA позволит достичь следующих результатов:

- обеспечить европейский технологический суверенитет путем создания, поддержания и реализации стратегической дорожной карты НИОКР, которая способствует развитию европейских возможностей по проектированию, разработке и производству ИС, связанных с высокопроизводительными процессорами и/или ускорителями на основе RISC-V, на основе соответствующих ключевых показателей эффективности;
- обеспечить проектирование и поставку энергоэффективных высокопроизводительных процессоров и ускорителей для высокопроизводительных вычислений на основе аппаратных решений RISC-V, испытательных стендов и, по крайней мере, одного пилотного проекта по интеграции этих процессоров/ускорителей. Разработка европейских процессоров и/или ускорителей должна подготовить технологию к ее будущей интеграции в постэкзафлопсные суперкомпьютеры, которые будут приобретены на более позднем этапе системами таргетинга EuroHPC JU, включающими европейские технологии;
- разработать подходящий программный стек, включающий ключевые элементы, такие как модели программирования и среды выполнения (например, языки, компиляторы, среды программирования, связь), библиотеки (например, математические, аналитика данных, фреймворки ИИ), инструменты (например,

отладчики, производительность, мониторинг системы), компоненты операционной системы (например, планировщики, рабочие процессы, управление программным обеспечением, безопасность) и другие элементы (например, для сетей, развертывания программного обеспечения, компонентности на системном уровне и модульности программного обеспечения и т.д.);

- адаптировать необходимые компоненты на базе RISC-V для их интеграции в решения промышленного класса HPC или Cloud;
- портировать и оптимизировать выбранный набор критически важных приложений для высокопроизводительных вычислений, включающий, среди прочего, основные сценарии использования EuroHPC, для новой среды на основе RISC-V на основе подхода совместного проектирования;
- гарантировать, что стандарты и спецификации интерфейса для программного и аппаратного стека с четким определением схем стандартизации и лицензирования разработкой интеллектуальной собственности (Intellectual Property, IP), останутся в ЕС;
- расширить использование пилотных линий в Европе и базу навыков для проектирования и производства высококачественных компонентов.

Разработка новых чипов для HPC, high-performance Big-Data и ряда новых приложений также еще была поддержана проектом European Processor Initiative (EPI), который запущен в самом начале 2022 г. как вторая фаза соглашения подписанного FPA с ЕС (FPA: 101036168, <https://www.european-processor-initiative.eu/project/epi/>).

Этот проект получил финансирование от EuroHPC JU, программы Horizon 2020 Европейского Союза, а также от Хорватии, Франции, Германии, Греции, Италии, Нидерландов, Португалии, Испании, Швеции и Швейцарии.

Второй этап внедрения EPI продолжит первоначальные разработки этапа 1 по европейским микропроцессорам и ускорителям для поддержки европейской технологической автономии и суверенитета в этой критически важной области. Основываясь на твердом, долгосрочном экономическом подходе, EPI поставит центральные компоненты будущих европейских суперкомпьютеров для решения социальных проблем и стимулирования инноваций и цифровой трансформации европейской экономики и науки.

Особое внимание на втором этапе уделяется завершению разработки первого поколения микропроцессорных блоков и ускорителей с низким энергопотреблением, совершенствованию существующих технологий, нацеленных на экзафлопные машины (рис. 1).

В настоящее время пользователи уже могут получить доступ к экспериментальным системам: SUPER-V RISC-V (<https://repo.hca.bsc.es/>)



Рис. 1. Дорожная карта EPI.

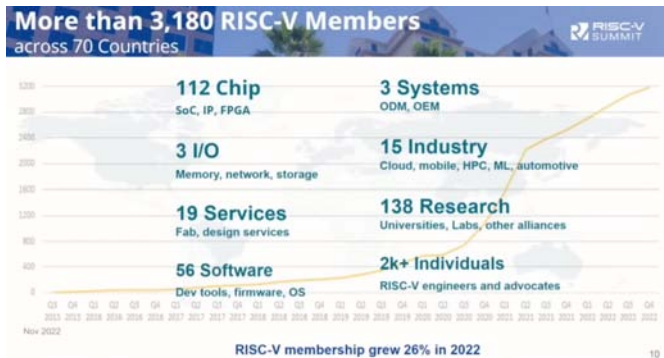


Рис. 1а. Поквартальный рост числа членов RISC-V (2015-22 гг.)

github.com/epi-public/risc-v-vector-simulation-environment в BSC (<https://www.bsc.es/>) или к системе ExCALIBUR RISC-V, размещенной в Эдинбургском университете (<http://riscv.epcc.ed.ac.uk/>).

Также пользователи уже могут тестировать программное обеспечение в открытом репозитории Github по адресу <https://riscv-test.org>. Пользователи могут добавить запрос на извлечение программного обеспечения и запустить его через автоматический поток, чтобы увидеть, компилируется ли он. Система, называемая Jenkins, работает с компиляторами GCC и LLVM. Поток CI/CD также может использоваться внутри компании, если пользователи не хотят, чтобы тест был общедоступным [7].

Рост интереса к архитектуре RISC-V

13-14 декабря 2022 г. состоялся RISC-V Summit 2022 (<https://events.linuxfoundation.org/riscv-summit/>, San Jose, CA). В своем выступлении Калиста Редмонд (Calista Redmond), CEO RISC-V International, отметила [8], что количество членов RISC-V стремительно возрастает: с 400 в 2020 г. до 3180 – в 2022 г., объединяя 70 стран в мире (рис. 1а). Общее число разработанных чипов составило 112 (SoC, IP, FPGA). При этом на потребительском рынке и рынке IoT-устройств к 2025 г. ядра RISC-V будут составлять 25%, а ежегодный рост RISC-V на рынке DataCenter&Cloud будет составлять 114%.

В новом отчете Semico Research [9] прогнозируется, что к 2027 году будет 25 млрд SOC на основе RISC-V. RISC-V возглавляет открытую эру вычислений на потребительском и корпоративном рынках. В последнем отчете Semico Research, посвященном, в частности, реализации искусственного интеллекта (ИИ) “Analyzing the RISC-V CPU Market for SIP, SoCs, AI and Design Starts” (CC330-21), фирма прогнозирует, что текущие инвестиции в архитектуру RISC-V будут продолжать расти, поскольку на рынке все чаще появляется все больше дизайнеров с открытым исходным кодом, предоставляющих возможности дизайнера с открытым исходным кодом. Высокоуровневая аналитика демонстрирует значительный рост выручки рынка на 9,0% для общей полупроводниковой интеллектуальной собственности (SIP, Semiconductor Intellectual Property) и 9,8% на рынке CPU SIP. В то же время RISC-V CPU SIP будет иметь ежегодный рост 34,9% (CAGR) до 2027 года.

Дополнительные ключевые выводы отчета [9] следующие:

- ожидается, что к 2027 году доходы AI SoC достигнут \$291 млрд;
- прогнозируется, что к 2027 году поставки AI SoC достигнут 25 млрд единиц (unit);
- доходы рынка SIP выросли до \$6,7 млрд в 2020 году, что на 9,8% больше, чем в 2019 году;
- рынок CPU SIP вырос на 12,8% в 2020 году – до \$2,2 млрд.

В течение прошлого года многие организации углубили свою стратегию RISC-V, чтобы использовать возможности открытого RISC-V ISA для создания пользовательских ядер и SoC-проектов. Фактически, Semico Research прогнозирует, что к 2027 году на рынке будет 25 млрд SOC на основе RISC-V с ожидаемым доходом в \$291 млрд в том же году. Включение ИИ в кремниевые решения для всех типов приложений является сильным драйвером на рынке полупроводников сегодня, и рост RISC-V ожидается во многих ключевых отраслях. Это включает в себя ожидаемый рост на 57,2% в смартфонах низкого класса, 112,3% в инфраструктуре 5G, 68,9% в центрах обработки данных, 78% в ПК и игровых консолях, 313,8% в сотовой инфраструктуре и 85,2% в потребительском IoT в течение следующих пяти лет. Темпы роста для этих различных сегментов рынка и конечных приложений представляют собой комбинацию

цию AI-SoC с поддержкой RISC-V, выступающих в качестве ускорителей и основных процессоров, и / или других частей с системами, которые требуют функциональности процессора.

Архитектура RISC-V производит сильное впечатление на проектировщиков и архитекторов SoC. В ближайшие несколько лет значительная часть проектов, доходов и поставок будет поступать от AI SOC, использующих архитектуру RISC-V.

Semico Research прогнозирует, что доходы рынка SIP RISC-V вырастут примерно на 36,9% в 2022 году по сравнению с 2021 годом, отмечая, что это движение в значительной степени является результатом того, что многие компании используют RISC-V в качестве альтернативы другим, более традиционным типам SIP процессоров.

Сообщество RISC-V добилось значительных успехов в разработке расширений и спецификаций, отвечающих последним требованиям к вычислениям, чтобы помочь ускорить внедрение RISC-V в различных сегментах рынка. В декабре 2021 года RISC-V анонсировала 15 новых расширений и ратифицировала спецификации Vector, Scalar Cryptography и Hypervisor, которые помогут открыть новые возможности для разработчиков, создающих приложения RISC-V для AI и ML, IoT и многого другого.

Deloitte Global прогнозирует (декабрь 2021 г.), что рынок процессорных ядер RISC-V удвоится в 2022 году по сравнению с 2021 годом и снова удвоится в 2023 году, поскольку обслуживаемый адресный рынок, доступный для процессорных ядер RISC-V, продолжает расширяться [10].

Преимущества и дорожная карта развития архитектуры RISC-V

Предыстория RISC-V [11]

В 2010 году, после многих лет и множества исследовательских проектов с использованием MIPS, SPARC и x86, архитектурной группе Калифорнийского университета в Беркли необходимо было выбрать ISA для следующего набора проектов. Очевидный выбор: x86 и ARM. Однако использование ISA x86 было невозможно из-за сложности ISA, а также проблем с IP (интеллектуальная собственность). Использование ISA ARM невозможно из-за: 1) сложности ISA (хотя и в меньшей степени по ср. с x86); 2) отсутствию 64-бит команд (в 2010 г.); 3) проблем с IP.

Таким образом, летом 2010 года был начат «3-месячный проект» по разработке ISA с «чистого листа». Главные дизайнеры: Эндрю Уотерман (Andrew Waterman), Юнсуп Ли (Yunsup Lee), Дэвид Паттерсон (David Patterson), Крсте Асанович (Krstje Asanovic).

Четыре года спустя, в мае 2014 г., выпущена фиксированная (frozen) базовая пользовательская спецификация. Название RISC-V (произносится как «риск-пять») соответствует пятому по значимости Беркли RISC ISA (рис. 2).

Ни в одном из этих проектов не было зарегистрировано ни одного патента, связанного с RISC-V, поскольку сама ISA RISC-V не представляет собой какую-либо новую технологию. RISC-V ISA основан на идеях компьютерной архитектуры, которым уже не менее 40 лет. Реализации процессоров RISC, в том числе основанные на других открытых стандартах ISA, широко доступны от различных поставщиков по всему миру.

RISC-V — это открытая стандартная архитектура набора инструкций (ISA, Instruction Set Architecture), открывающая новую эру процессорных инноваций благодаря открытому сотрудничеству (<https://riscv.org/about/>). RISC-V позволяет сообществу делиться техниче-

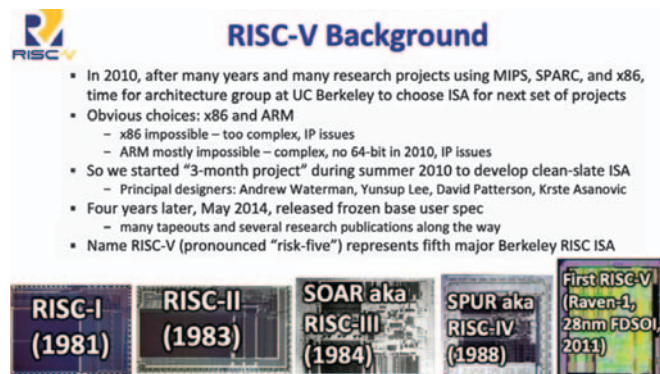


Рис. 2. Предыстория RISC-V [11].

скими инвестициями, вносить свой вклад в стратегическое будущее, быстрее создавать, пользоваться беспрецедентной свободой проектирования и существенно снижать стоимость инноваций. RISC-V сочетает в себе модульный технический подход с открытой ISA без лицензионных отчислений, что означает, что кто угодно и где угодно может извлечь выгоду из интеллектуальной собственности, предоставленной и созданной RISC-V.

В 2015 г. был основан Фонд RISC-V (<https://riscv.org/>) для создания открытого сообщества разработчиков программного и аппаратного обеспечения на основе RISC-V ISA и сегодня зарегистрирован как Международная ассоциация RISC-V в Швейцарии. Фонд, некоммерческая корпорация, контролируемая своими членами, руководит разработкой для первоначального принятия RISC-V ISA. В ноябре 2018 года Фонд RISC-V объявил о совместном сотрудничестве с Фондом Linux.

Более 3100 членов RISC-V из 70 стран вносят свой вклад и сотрудничают в определении открытых спецификаций RISC-V. Как некоммерческая организация RISC-V International не имеет коммерческого интереса к продуктам или услугам. В качестве открытого стандарта любой может использовать RISC-V в качестве строительного блока своих открытых или проприетарных решений и услуг. Фонд RISC-V не занимает политическую позицию от имени какой-либо географии.

На базовом уровне RISC-V ISA и расширения, ратифицированные RISC-V International, являются бесплатными и открытыми базовыми строительными блоками, на которых каждый может строить свои собственные решения и услуги. RISC-V ISA и ратифицированные расширения предоставляются в соответствии с общепринятыми открытыми лицензиями, которые остаются открытыми на постоянной основе и остаются доступными для всех.

Помимо RISC-V International, у сообщества есть возможность предоставлять свою собственную бесплатную или проприетарную интеллектуальную собственность, реализации, решения и услуги, в отношении которых RISC-V не имеет коммерческого или управленческого интереса. RISC-V International полностью привержен свободе проектирования, выбора и поддерживает расширения открытой архитектуры для RISC-V ISA, но не поддерживает работу над альтернативными версиями RISC-V ISA.

Интерес во всем мире к RISC-V вызван не тем, что это отличная новая технология чипов, а тем, что это глобальный открытый стандарт, на который можно портировать программное обеспечение и который позволяет любому свободно разрабатывать собственное оборудование для запуска программного обеспечения. RISC-V International не управляет и не предоставляет какие-либо открытые реализации RISC-V, а только стандартные спецификации (<https://riscv.org/about/history/>). Программное обеспечение RISC-V

ISA	Chips?	Architecture License?	Commercial Core IP?	Add Own Instructions?	Open-Source Core IP?
x86	Yes, <i>two</i> vendors	No	No	No	No
ARM	Yes, <i>many</i> vendors	Yes, <i>expensive and restrictive</i>	Yes, <i>one</i> vendor	No (Mostly)	No
RISC-V	Yes, <i>many</i> vendors	Yes, <i>free</i>	Yes, <i>many</i> vendors	Yes	Yes, <i>many</i> available

Рис. 3. Сравнение различных бизнес-моделей ISA [11].

управляется соответствующими проектами программного обеспечения с открытым исходным кодом (рис. 3).

Дорожная карта развития ISA RISC-V представлена на рис. 4.

В настоящее время RISC-V представляет прямую альтернативу ARM не только по энергоэффективности, простому набору инструкций (всего 47 базовых инструкций), открытости стандартов, возможности расширения инструкций, но и по стоимости разработки (например, SoC), срокам окупаемости и минимальной партии для заказа в производстве.

Профили и системные платформы RISC-V

В архитектуре ISA RISC-V предусмотрено наличие профилей и системных платформ [10].

Профили ISA это:

- набор совместимых расширений;
- 4 типа расширений: обязательные, необязательные, неподдерживаемые или несовместимые;
- два типа профилей:
 - *application (RVA[yy])*: Linux-класса и другие встроенные конструкции с более сложными требованиями к ISA (RV120 – basic, RVA20/22/23 – application processor);
 - *microcontroller (RVM[yy])*: недорогие встраиваемые конструкции, оптимизированные для приложений, работающие на «голом железе» или в простой среде RTOS;
- поддержка совместимости выполнения одной и той же последовательности инструкций между реализациями RISC-V.

Системные платформы это:

- набор совместимых функций;
- профили ISA, программные и аппаратные компоненты системы, стандартизированные программно-аппаратные интерфейсы и т.д.;

RISC-V Innovation Roadmap

	2010-2016	2018	2019	2020	2021	2022	2023 →
Test Chips		Proof of Concept SoCs	IoT SoCs				
Software tests		Minion processors for power management & communications	Microcontrollers				
Linux port		Bare metal software	RTOS, Firmware				
			Development tools				
			Technical Steering Committee,				
			HPC SIG, GlobalPlatform partnership				
				AI SoCs, Application processors, Linux Drivers, AI Compilers			
				SIGS: Security Response, AI, Graphics, Android, Embedded, Datacenter/Cloud, Blockchain, Simulators, Managed Runtimes, Android, Functional Safety			
				Programs: Dev Board Seed, Development Partners, RISC-V Labs			
					SIGS: Vector, Perf Modeling, Perf Analysis, Trusted Computing, Control Flow Integrity, Memory Protection, Microarchitecture Side Channel, QOS, E2E Data Integrity, Error Handling, Automotive, Communications, Floating Point, Vector		
					Security specs: RISC-V Security Model, AP-TEE, IOPMP		
					Platform specs: Platforms, SEE, SBI, ABI, Discovery, Watchdog, ACPI, UEFI		
					SOB specs: E-Trace, Nexus, IOMMU		
							Ecosystem
ISA Definition		RV32	RV32I and RV64I	Architecture Compatibility Framework	Vector	Profiles	Matrix Ops
RISC-V Foundation			Base instructions: Integer, float, double, quad, atomic, and compressed instructions	Trace	Crypto Scalar	Packed SIMD	Crypto Gost
			Priv modes, Interrupts, exceptions, memory model, protection, and virtual memory		Bitmanip	Advanced Interrupts	
					Hypervisor	Java: ptr masking, I/D synch	
					ePMP	RV32E & RV64E	
					Cache Mgt	Bfloat16	
					Virtual Memory	Vector Half-Precision Floating Point	
					Zfh	Code Size	
					Zfinx	Crypto Vector	
					Zihintpause	Fast Interrupts	
						SMPU	
						Zmmul	
						Ztso	
						Zihintntl	
							ISA Extensions

Рис. 4. Дорожная карта RISC-V [10].



Rich RISC-V Ecosystem Available Today

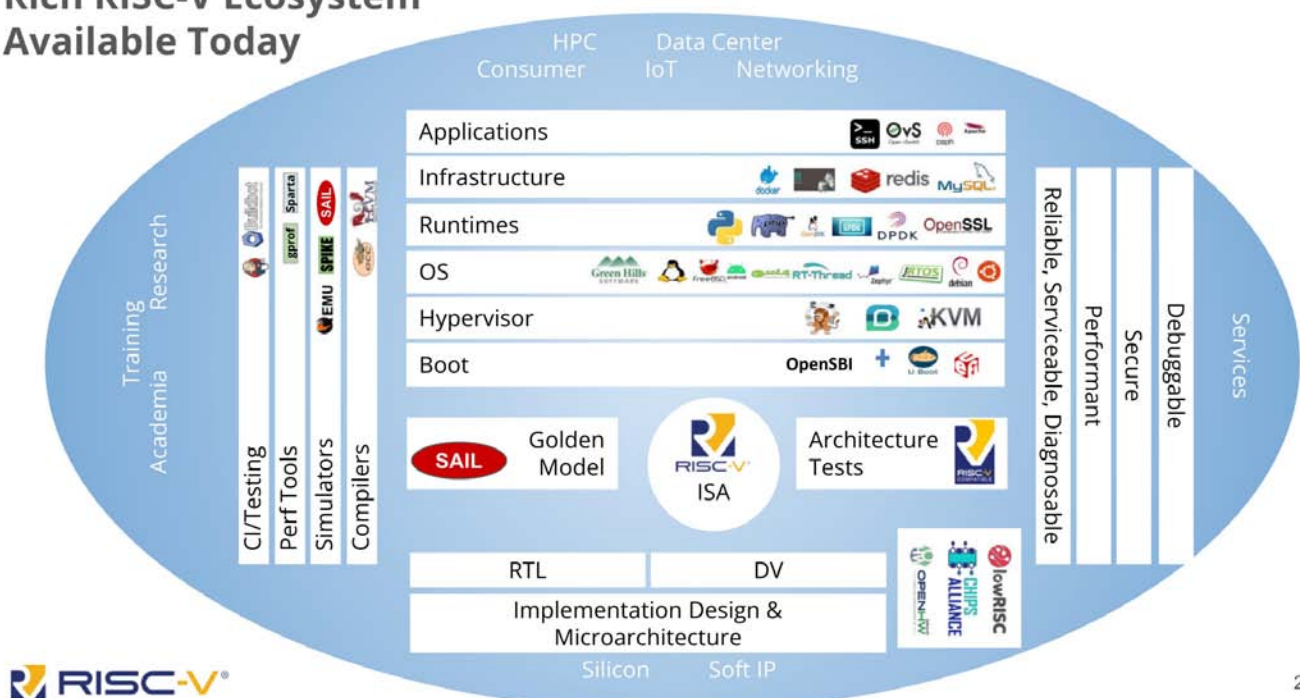


Рис. 5. Экосистема RISC-V [10].

- два типа платформ: OS/A и M (обозначение подлежит уточнению);
- возможность перемещать исполняемый файл из одной реализации в другую и получать те же результаты – совместимость с RISC-V.

Одним из наиболее важных технических достижений в 2022 г. стала работа над профилями RISC-V для определения версий наборов инструкций, поведения и состояний, обеспечивающих переносимость приложений между реализациями. Публичное рассмотрение профилей RISC-V RVA20, RVA20 и RVA22 только что завершилось, и по ним будет проведено голосование для ратификации в первом квартале 2023 года [12].

Сообщество RISC-V также добилось значительного прогресса в спецификациях и расширениях, ратифицировав шесть в прошлом году, и ожидается, что 10 дополнительных спецификаций и расширений будут ратифицированы в течение следующих 120 дней.

Уже утвержденные спецификации включают в себя: ожидание при резервировании, специфичный для процессора ABI (двоичный интерфейс приложения), эффективную трассировку, двоичный интерфейс супервизора (SBI) и автономное умножение. Ожидание резервирования (Zawrs) — это расширение ISA, позволяющее энергосберегающим реализациям оптимизировать энергопотребление для определенных операций с памятью. Специфичный для процесса ABI (psABI) определяет соглашения о вызовах и связывании, а также инструменты для их поддержки. Эффективная трассировка (E-Trace) — это новый стандарт трассировки, разработанный специально для RISC-V. Бинарный интерфейс супервизора (SBI) определяет интерфейс LINUX между операционной системой и прошивкой. Автономное умножение (Zmmul) — это расширение ISA, позволяющее использовать несколько без разделения для поддержки встроенных решений, которые не хотят тратить логическое пространство на разделение (в целом известно, что это более дорого).

Расширение Scurto vector ISA, которое скоро будет ратифицировано, также представляет собой ключевую техническую веху. Расширение Scurto vector позволит эффективно реализовать криптографические алгоритмы (например, NIST). Например, реализация цикла для общего алгоритма (AES128) потребует более 1000 инструкций RISC-V. В прошлом году RISC-V ратифицировал Scurto scalar, что позволило сократить количество инструкций до 75 и значительно повысить производительность; он предназначен для мест, где логическое пространство в большом почете, поскольку его довольно легко реализовать. Криптовектор во многих случаях сокращает количество инструкций до 1 и предназначен для более сложных реализаций, таких как пограничные серверы или серверы центров обработки данных. Криповектор позволяет разработчикам значительно повысить производительность.

Марк Химельштейн (*Mark Himelstein*), технический директор RISC-V International, сказал: «Благодаря тысячам участников сообщества RISC-V мы добились значительного прогресса в разработке спецификаций. В дополнение к шести спецификациям, уже ратифицированным в 2022 году, еще 10 будут ратифицированы в первом квартале 2023 года. Важной вехой в этом году стала совместная работа над профилями RISC-V для обеспечения совместимых реализаций и переносимости приложений RISC-V, что способствовало дальнейшему внедрению RISC-V. Еще одним выдающимся достижением является расширение Scurto vector ISA, поскольку оно обеспечивает огромный прирост производительности для разработчиков».

Эти технические достижения стали возможными благодаря сотрудничеству членов RISC-V в 81 технической группе. Только в 2022 году было добавлено более 30 из этих групп, чтобы сосредоточиться на быстрорастущих рынках RISC-V, таких как безопасность, системная инфраструктура, автомобильная промышленность и AI/ML.

Экосистема ISA RISC-V

ISA RISC-V имеет широкую экосистему в части обучения, исследований, тестирования производительности, разработки симуляторов/компиляторов, поддержки приложений/инфраструктуры/ОС/гипервизоров, имплементации дизайна/микроархитектуры и др. (рис. 5, 6):

- open-source ПО: Gcc, binutils, glibc, Linux, BSD, LLVM, QEMU, FreeRTOS, ZephyrOS, LiteOS, sylxos и др.;
- коммерческое ПО: Lauterbach, Segger, IAR, Greenhills, WindRiver, Micrium, ExpressLogic, Ashling, Imperas, AntMicro и др.;
- open-source ядра: Rocket, BOOM, RISCY, Ariane, PicoRV32, Piccolo, SCR1, Swerv, Hummingbird, WARP-V, XiangShan, BlackParrot и др.;



Рис. 6. Экосистема RISC-V [11].



Рис. 7. Доли, ежегодный рост рынка и вендоры RISC-V по отраслям до 2025-27 гг.

- commercial core providers: Alibaba, Andes, Bluespec, Cloudbear, Cobham, Codasip, Cortus, Imagination, InCore, MIPS, Nuclei, Semidynamics, siFive, StarFive, Syntacore и др.;
- in-house cores: Nvidia, WDC, Seagate, Huawei, Alibaba и др.;
- commercial silicon providers: Alibaba, Bouffalo, EdgeQ, Esperanto, Espressif, Gigadevice, LeapFive, Microchip, Mythic, Renesas, Rivos, StarFive, TensTorrent, UntetherAI, Ventana и др.

Имплементация ISA RISC-V

На конец 2022 г. ISA RISC-V получил реализацию в 15 областях: cloud, мобильные устройства, HPC, AI/ML, автономные автомобили, edge/IoT и др.

В области Data Center Cloud (рис. 7) [10]:

- **Esperanto**: 1000-ядерный ускоритель искусственного интеллекта RISC-V;
- **Alibaba**: процессоры RISC-V Xuantie с 4 открытыми облачными и пограничными процессорами;
- **Imagination**: семейство RISC-V CPU для дискретных и гетерогенных вычислений;
- **Seagate**: контроллер жестких дисков с высокопроизводительным процессором RISC-V;
- **Ventana**: высокопроизводительный чиплетный подход к разработке SoC для центров обработки данных;
- **Intel**: процессор Nios на основе RISC-V, разработанный для повышения производительности.

Рынок ядер RISC-V CPU вырастет на 115 % в год, охватив более 14% всех ядер CPU к 2025 г. – Semico Research, декабрь 2021 г.

В области телекоммуникации и связь:

- **Andes**: процессор RISC-V, принятый SK Telecom для продуктов AI;
- **Alibaba** поддерживает Android 12 на своем 64-разрядном ядре RISC-V, эмулированном в QEMU;
- **Sipeed**: чип RISC-V работает под управлением Android 10, телефон RV64 появится позже;
- **Alibaba** портировала TensorFlow Lite для AI-обработки изображений, аудио и оптических изображений на смарт-устройствах;
- **Google**: процессор Pixel 6 Titan M2 RISC-V с повышенной скоростью и памятью, более устойчивый к продвинутым атакам.

Коммуникационные AI SoC RISC-V вырастут на 21,2% CAGR с 2019 по 2027 год – Semico Research, декабрь 2021 г.

В области потребительских устройств и устройств IoT:

- **Huawei**: плата Hi3861 RISC-V для разработчиков Harmony OS для IoT;
- **Zepp Health / Huawei** (производитель носимых устройств): операционная система, поддерживающая эталонные модели для RISC-V P расширений;
- **GreenWaves**: платформа наушников GAP9 со сверхнизким энергопотреблением для шумоподавления с учетом сцены на основе нейронной сети;
- **RIOS Lab** анонсировала PicoRio, недорогой малогабаритный компьютер RISC-V;
- **SiFive**: самая быстрая в мире плата разработки для персональных компьютеров RISC-V.

К 2025 году RISC-V займет 28% рынка IoT – Исследование рынка технологий Counterpoint, сентябрь 2021 г.

В области AI/ML:

- **Alibaba Cloud** лидирует в тесте MLPerf Tiny v0.7 благодаря IoT-процессору;
- **Esperanto** ускоряет рекомендацию машинного обучения с помощью более 1000 процессоров RISC-V/Tensor на чипе ET-SoC-1;
- **StarFive** выпустила первую в мире платформу обработки изображений RISC-V AI;
- **Andes** выпустила суперскалярные многоядерные процессоры и контроллеры кэш-памяти второго уровня (L2);
- **NVIDIA CUDA** поддерживает на Vortex RISC-V GPGPU возможность масштабирования от 1 до 32 GPU на основе RV32IMF ISA.

К 2027 году количество систем на кристалле AI на базе RISC-V вырастет на 73,6% в год до 25 млрд единиц и 291 млрд долларов дохода — *Semico Research, декабрь 2021 г.*

В области пограничные вычисления (Edge Computing):

- **Fraunhofer** перенес Tensorflow lite на процессорное ядро RISC-V для приложений Edge AI, включая оценку данных датчиков, управление жестами или анализ вибрации;
- **Seeed Studio**: новая Sipeed MAIX RISC-V 64 AI плата для граничных вычислений, позволяет встраивать искусственный интеллект в любое устройство IoT;
- **Micro Magic** объявила о невероятно быстром 64-разрядном ядре RISC-V с частотой 5 ГГц и 13 000 баллов CoreMark при напряжении 1,1 В;
- **Western Digital SweRV Core** обеспечивает широкий спектр вычислений на периферии;
- **Microchip** выпустила первый комплект для разработки SoC FPGA на основе RISC-V ISA.

В области высокопроизводительных вычислений (HPC):

- **E4**: кластер Monte Simone вместе с DEI-UNIBO вносит свой вклад в архитектуру, программное обеспечение и интеграцию;
- **European Processor Initiative**: ускоритель RISC-V с первым чипом, сентябрь 2021 г.;
- **Мюнхенский технический университет** (Technical University of Munich, TUM): чип квантовой криптографии для обеспечения безопасности квантовых вычислений;
- **Tactical Computing Labs**: набор программных тестов, ориентированных на высокопроизводительные вычисления, для GCC и LLVM;
- **Cortus** разрабатывает высокопроизводительное процессорное ядро RISC-V Out-of-Order для европейского проекта eProcessor;
- **De-RISC**: платформа HW-SW для многоядерной системы на кристалле RISC-V для критической безопасности аэрокосмической отрасли.

Одним из самых значимых событий 2022 года стала поддержка RISC-V со стороны лидеров отрасли на разных рынках [12]. Например, NASA выбрало технологию Microchip для HPSC-процессора (High-Performance Spaceflight Computing) для космических полетов, который будет использоваться в будущих лунных и марсианских полетах; новый HPSC будет использовать ядра SiFive.

Еще одной важной вехой стало объявление Intel о фонде в размере 1 млрд долларов для создания своей экосистемы при поддержке членов RISC-V, включая Andes Technology, Esperanto Technologies, SiFive и Ventana Micro Systems. Также была сильная поддержка RISC-V в Европе с помощью European Processor Initiative, Индии с программой Digital India RISC-V (DIR-V) и Китая с рядом различных инициатив среди программ, спонсируемых государством, во многих регионах.

За последний год в программную экосистему RISC-V были внесены значительные обновления. Проект Google с открытым исходным кодом для Android (AOSP) запустил первоначальную поддержку RISC-V. Перенос Android на RISC-V поможет поддерживать широкий спектр ориентированных на потребителя вариантов использования, от мобильных до автомобильных развлечений. Кроме того, технические группы RISC-V International предоставили поддержку RISC-V многим другим программным проектам, охватив весь стек. Проблеск прогресса включает в себя coreboot, который предоставляет прошивку с открытым исходным кодом; OpenSSL, который предлагает надежный коммерческий набор инструментов для шифрования общего назначения и безопасной связи; и seL4, надежное, высокопроизводительное микроядро операционной системы. Кроме того, поддержка RISC-V находится в разработке для: Alpine Linux, облегченного дистрибутива Linux, ориентированного на безопасность, который является ключевым для контейнерных рабочих нагрузок; Network Security Services (NSS), набор библиотек, предназначенных для поддержки кросс-платформенной разработки защищенных клиентских и серверных приложений; Stratow — проект по созданию защищенной встроенной платформы с низким энергопотреблением для приложений Ambient ML. Список можно продолжать по мере того, как все больше сообществ и проектов используют RISC-V. Многие другие инструменты и проекты внесли обновления для поддержки RISC-V, включая LibreOffice, Linux 6.0, LLVM/Clang 16, медиаплеер VLC., Ренде и Зефир. Посетите GitHub для получения информации о проектах RISC-V.

Что касается аппаратного обеспечения, члены RISC-V вывели на рынок широкий спектр решений RISC-V по вертикали. Посети-

те RISC-V Exchange, чтобы увидеть некоторые из последних решений; более подробная информация об объявлениях RISC-V также приведена ниже. Кроме того, RISC-V International расширила программу плат разработчиков RISC-V, чтобы сделать платы разработки более доступными для сообщества RISC-V. Чтобы получить бесплатную плату RISC-V или пожертвовать платы, посетите: <https://github.com/topics/risc-v>.

RISC-V International работает над созданием своих образовательных ресурсов для растущего сообщества RISC-V. Совместно с Linux Foundation RISC-V только что запустила новый онлайн-курс «Основы программирования сборки RISC-V» (LFD117x), чтобы помочь развить знания и навыки программирования сборки RISC-V, связанные с аппаратным обеспечением. Другие доступные курсы RISC-V включают: Введение в RISC-V (LFD110x), Построение ядра ЦП RISC-V (LFD111x) и RISC-V Toolchain and Compiler Optimization Techniques (LFD113x), каждый из которых можно пройти бесплатно через платформу онлайн-обучения edX.

Участники всей экосистемы продолжают внедрять инновации с помощью передовых аппаратных и программных решений RISC-V. Некоторые основные моменты последних новостей участников:

- **Andes Technology** и **Parasoft** сотрудничали, чтобы предоставить удобные инструменты тестирования программного обеспечения для автомобильных приложений функциональной безопасности;
- **Andes Technology** выпустила AndesCore™ D23, многофункциональный, маломощный и высокозащищенный процессор RISC-V начального уровня;
- **Andes Technology** представила свой новый многоядерный 1024-битный векторный процессор RISC-V: AX45MPV;
- **Компания Ashling** объявила о выпуске своего нового датчика отладки и трассировки Vitra-XS;
- **CAES** выиграла свою первую коммерческую лицензию в США на IP-процессор RISC-V/NOEL-V у Idaho Scientific, которая специализируется на решениях, предотвращающих атаки на аппаратное и программное обеспечение;
- **Canonical Ubuntu** расширила доступность Ubuntu, работающей на процессорах и оборудовании RISC-V;
- **Альянс CHIPS** приветствовал Caliptra в организации и объявил, что ядро VeeR RISC-V с открытым исходным кодом встроено в макрос Caliptra Root of Trust;
- **Codasip** запустила инициативу SecuRISC5, чтобы предоставить своим клиентам безопасные и защищенные пользовательские вычисления с использованием тщательно проверенных эталонных проектов, сочетающих IP Codasip и сторонние технологии.
- **Codasip** создал Codasip Labs для ускорения разработки и коммерциализации передовых технологий, включая безопасность, функциональную безопасность и AI/ML;
- **Codasip** и **Intel** сотрудничали, чтобы предоставить университетам более быстрое и упрощенное исследование архитектуры с помощью IP-ядер Codasip RISC-V, среды разработки Codasip Studio и платформ Intel FPGA;
- **Cortus** анонсировала два новых микроконтроллера (MCU) RISC-V в семействе Lotus для потребительских устройств и автомобилей;
- **Imperas** и **Andes** сделали эталонные модели Imperas доступными для всего спектра процессоров Andes RISC-V IP;
- **Imperas** и **Imagination** совместно разработали модели виртуальных платформ для семейства ЦП Catapult RISC-V;
- в **Intel Pathfinder** для RISC-V реализован ряд новых функций при поддержке более чем 15 партнеров по экосистеме;
- **компания Microchip** объявила, что продемонстрирует на саммите RISC-V FPGA на основе RISC-V и решения для космических вычислений;
- **MIPS** объявила о выпуске своего первого IP-ядра RISC-V, высокопроизводительного и масштабируемого мультипроцессора eVocore P8700;
- **MIPS** заключила партнерское соглашение с Mobileye для ускорения технологий автономного вождения следующего поколения и передовых систем помощи водителю с помощью мультипроцессоров MIPS eVocore P8700 RISC-V.
- **SiFive** отпраздновала свой впечатляющий год роста и технических достижений, включая сотрудничество с некоторыми из крупнейших в мире производителей чипов и гипермасштабными центрами обработки данных.

- *Solid Sands* внедрила новые усовершенствования в SuperGuard, который представляет собой набор профессиональных инструментов для проверки библиотек приложений, критически важных с точки зрения безопасности.
- *Solid Sands* заявила, что компания будет присутствовать на саммите RISC-V, чтобы продемонстрировать свои знания о том, как квалифицировать стандартные библиотеки C и C++ для приложений, критически важных с точки зрения безопасности;
- *StarFive Technology* завершила производство и тестирование первой партии одноплатных компьютеров VisionFive 2 и начинает поставки;
- *Ventana* представила Veugon, семейство ЦП класса RISC-V для центров обработки данных;
- *XMOS* представила RISC-V-совместимую архитектуру для четвертого поколения своей платформы xsoce.

“Время для бизнес-модели RISC-V пришло, но уйдут еще годы для ее доведения до совершенства для HPC”, однако...

В заключении приведем оценку ISA RISC-V Krste Asanovic, одного из ее архитекторов, с точки зрения перспективности использования RISC-V для HPC (и для других применений, прим. ред.) [11].

Во-первых, ISA RISC-V в своих ядрах уже используют множество разработчиков для высокопроизводительных вычислений, в частности, суперскалярные ядра приложений с поддержкой векторов вне порядка (*superscalar Out-of-Order Vector-capable Application cores*), среди которых: *Alibaba, Andes, Esperanto (1000 vector core chip), Rivos, Semidynatics, SiFive, TensTorrent (Ascalon core), Ventana (chiplets)* и др. Уже продано более 10 млрд ядер RISC-V [10].

Во-вторых, RISC-V неизбежен. Промышленности нужна эта бизнес-модель и она уже это доказала (прим. ред.). Новая бизнес-модель меняет всю процедуру проектирования:

- возможность выбора готового ISA + выбор поставщика или возможность создания собственного ядра;
- возможность добавления собственного расширения без получения разрешения;
- RISC-V идеально подходит для вертикальных проектных групп: все ядра на SoC могут быть RISC-V – от ядер основных приложений до микроконтроллеров. Можно выбирать разных поставщиков для каждого ядра, но все они будут с архитектурой RISC-V;
- коммерческие, академические экосистемы и экосистемы с открытым исходным кодом могут объединяться вокруг единого открытого стандарта.

RISC-V будет иметь лучшие процессоры, ISA по своей сути лучше, чем другие, т.к. больше поставщиков, конкурирующих за бизнес с большим числом разработанных ядер. RISC-V будет иметь лучшую экосистему с самым большим количеством игроков. Все сокеты со временем станут RISC-V, а программное обеспечение “захочет” работать на лучших доступных процессорах.

В-третьих, среди неотъемлемых преимуществ ISA RISC-V:

- простая база + стандартные расширения + пользовательские расширения (47 базовых инструкций в RISC-V в ср. с более 1500 инструкциями в x86 [10]):
 - значительно меньшая площадь/мощность при эквивалентных уровнях производительности по сравнению с другими ISA;
 - уменьшенный размер динамического кода, инструкция сравнения+переход, отсутствие сложных инструкций (например, максимум два целочисленных порта чтения, без флагов) и др;
- дизайн с чистого листа (отсутствие “старых бородавок”);
- расширяемость при сохранении стандартного программного стека – часть ISA переменной длины оригинального дизайна, поддерживает векторные расширения и пользовательские дополнения;
- разработано сообществом – ведущими экспертами в академических кругах и промышленности;
- нет ограничений по уровням производительности или доменам приложений, поэтому уже в течение 2-3 лет RISC-V может превзойти все другие архитектуры;
- изначальная ориентация на OS-платформы типа Unix OS (включая IOMMU, AIA и др.).

В-четвертых, RISC-V и HPC представляют собой идеальное сочетание:

- RISC-V предлагает стабильную долгосрочную платформу для программного обеспечения (глобальный стандарт, не зависящий от какого-либо одного поставщика);
 - RISC-V обеспечивает очень эффективную стандартную скалярную обработку;
 - RISC-V обеспечивает очень эффективную стандартную векторную обработку;
 - RISC-V обеспечивает тесное связывание пользовательских расширений при сохранении совместимости со стандартным программным обеспечением.
- В-пятых,** RISC-V для HPC находится все еще в зачаточном состоянии:
- на ядра -> микросхемы -> развернутые стойки уходят годы;
 - автовекторизирующие компиляторы, векторные встроенные функции, математические библиотеки, все еще несовершенны, но быстро развивающиеся;
 - для переноса программных стеков HPC требуется время и доступное оборудование.

Однако, применение NASA ядер RISC-V от Microchip Tech. [13] в своих программах, массовое внедрение ядер RISC-V в мобильных устройствах, программы ЕС (на десятки млрд евро) и Индии (программа Digital India RISC-V (DIR-V)) по развитию разработок RISC-V, а также 115% GAGR использования ядер RISC-V для рынка Data Center & Cloud говорит уже о многом (прим. ред.).

Источники, доп. ресурсы

- [1] A successful SC22 week for LUMI, 25.11.2022 – <https://www.lumi-supercomputer.eu/a-successful-sc22-week-for-lumi/>.
- [2] <https://www.top500.org/lists/top500/2022/11/>, <https://www.top500.org/lists/top500/2022/11/highs/>
- [3] Framework Partnership Agreement (FPA) for developing a large-scale European initiative for High Performance Computing (HPC) ecosystem based on RISC-V – https://eurohpc-ju.europa.eu/framework-partnership-agreement-fpa-developing-large-scale-european-initiative-high-performance_en.
- [4] Recommendations and roadmap for European sovereignty on open source hardware, software and RISC-V Technologies, 08 September 2022 – <https://digital-strategy.ec.europa.eu/en/library/recommendations-and-roadmap-european-sovereignty-open-source-hardware-software-and-risc-v>.
- [5] Digital sovereignty: Commission proposes Chips Act to confront semiconductor shortages and strengthen Europe's technological leadership – https://ec.europa.eu/commission/presscorner/detail/%20en/ip_22_729.
- [6] KDT JU to become Chips Joint Undertaking – <https://www.kdt-ju.europa.eu/press-releases>.
- [7] <https://www.hpcwire.com/2022/12/16/europe-to-dish-out-e270-million-to-build-risc-v-hardware-and-software/>.
- [8] <https://www.youtube.com/watch?v=qh19Rgu8HS4>.
- [9] Semico Research's New Report Predicts There Will Be 25 Billion RISC-V-Based AI SoCs By 2027 | Rich Wawrzyniak, Semico Research Corporation. By RISC-V Community News, February 2, 2022 – <https://riscv.org/blog/2022/02/semico-researchs-new-report-predicts-there-will-be-25-billion-risc-v-based-ai-socs-by-2027/>.
- [10] RISC-V Everywhere, Calista Redmond, CEO, RISC-V International, November 2022, DAY2_Calista_RISC-V_Everywhere_11_07_2022_cp.pdf.
- [11] Advancing HPC with RISC-V, Krste Asanovic, Prof. EECS, UC Berkeley; Chairman, RISC-V Foundation; Co-Founder and Chief Architect, SiFive Inc., Supercomputing Dallas, Texas, November 15, 2022 – <https://www.youtube.com/watch?v=iFlcJFcOJKk>.
- [12] RISC-V Sees Significant Growth and Technical Progress in 2022 with Billions of RISC-V Cores in Market, December 13, 2022 – <https://riscv.org/announcements/2022/12/risc-v-sees-significant-growth-and-technical-progress-in-2022-with-billions-of-risc-v-cores-in-market/>.
- [13] Microchip Showcases RISC-V-Based FPGA and Space-Compute Solutions at RISC-V Summit, December 8, 2022 – <https://www.microchip.com/en-us/about/news-releases/products/microchip-showcases-risc-v-based-fpga-and-space-compute-solution>.